

Japanese Patent Office
Patent Laying-Open Gazette

Patent Laying-Open No. **53-59384**
Date of Laying-Open: **May 29, 1978**
International Class(es): **H01L 27/10**
 G11C 11/34
 H01L 29/78

(10 pages in all)

Title of the Invention: **N-Channel MOS Silicon Gate RAM Cell**

Patent Appln. No. **52-109753**
Filing Date: **September 12, 1977**
Priority Claimed:
Country: **U.S.A.**
Filing Date: **September 13, 1976**
Serial No. **722841**
Inventor(s): **Chang-Kiang Kuo**

Patentee(s): **Texas Instruments Incorporated**
(transliterated, therefore the spelling might be incorrect)

⑨日本国特許庁

⑩特許出願公開

公開特許公報

昭53—59384

⑤Int. Cl.²
H 01 L 27/10
G 11 C 11/34
H 01 L 29/78

識別記号

⑥日本分類
99(5) H 0
99(5) E 3
97(7) C 19

府内整理番号
7210-57
7210-57
7056-56

⑦公開 昭和53年(1978)5月29日
発明の数 3
審査請求 未請求

(全10頁)

⑧NチャンネルMOSシリコン・ゲートRAM
セル

⑨特 願 昭52—109753
⑩出 願 昭52(1977)9月12日
優先権主張 ⑪1976年9月13日⑫アメリカ国
(US)⑬722841
⑭發明者 チヤングーキアング・クオ
アメリカ合衆国テキサス州ヒュ

ーストン・オーバーブルック10
910

⑮出願人 テキサス・インスツルメンツ・
インコーポレイテッド
アメリカ合衆国テキサス州ダラ
ス市ノース・セントラル・エク
スプレスウェイ13500
⑯代理 人 弁理士 浅村皓 外3名

明細書

1.発明の名称

① NチャンネルMOSシリコン・ゲートRAMセ
ル

2.特許請求の範囲

① ② NチャンネルMOSシリコン・ゲートRAM
セルにおいて、
 a) 主表面を有するP型シリコンの基板と、
 b) 前記主表面に決められるN型領域と、
 c) 前記N型領域から分離され、N型不純物で
イオン打ち込みされた前記主表面にあるコンデン
サ領域と、
 d) 前記コンデンサ領域上に形成された薄い酸
化物誘電体層と、
 e) 前記誘電体層上に形成された第1の多結晶
シリコン層と、
 f) 第1の前記多結晶シリコン層上に形成され
た絶縁膜と、
 g) 前記N型領域と前記コンデンサ領域との間
の前記主表面にあるMOSトランジスタ・チャ

ンネル領域と、

b) 前記MOSトランジスタ・チャンネル領域
に形成された前記酸化物誘電体層よりも実質的
に厚くされている薄いゲート酸化物層と、
 i) 前記ゲート酸化物層上に直なり、かつ第1
の多結晶シリコン層と部分的に直なるが、これ
から前記絶縁膜によつて絶縁されている第2の
多結晶シリコン層と、
 j) 第2の多結晶シリコン層上に直なる絶縁層
と、
 k) 前記絶縁層上に直なり、かつコンタクト領域
において前記絶縁層の開口を介して第2の多
結晶シリコン層に接続する導電層と、
 l) 過渡電位にある1つのレベルおよび基準電
位に比較して正電圧にある他のレベルの少なく
とも2つのレベルで前記N型領域に論理信号を
供給する手段と、
 m) 前記正電圧の約 $\frac{1}{2}$ の大きさのバイアス電圧
を第2の多結晶シリコン層へ供給する手段と
備えたことを特徴とする前記NチャンネルMOS

シリコン・ゲートRAMセル。

(2) 特許請求の範囲第1項記載のMOSメモリセルにおいて、前記コンデンサ領域は前記MOSトランジスタ・チャンネル領域の方向に第1の前記多結晶シリコン層を越えて延在していることを特徴とするMOSメモリセル。

(3) 特許請求の範囲第2項記載のMOSメモリセルにおいて、前記コンデンサ領域はリングでイオン打ち込みされていることを特徴とするMOSメモリセル。

(4) 特許請求の範囲第2項記載のMOSメモリセルにおいて、MOSトランジスタ・ソースまたはドレイン領域はイオン打ち込みされたコンデンサ領域によつて前記チャンネル領域の一端で決められていることを特徴とするMOSメモリセル。

(5) 寄積コンデンサとそのコンデンサの半導体領

域の一端に隣接するチャンネル領域を有する一つのトランジスタとを有する型のMOSメモリ・セルにおいて、前記半導体領域は前記トランジスタのしきい値電圧よりも実質的に低いしきい値電圧が得られるようにイオン打ち込みされていることを特徴とするMOSメモリ・セル。

(6) 特許請求の範囲第5項記載のMOSメモリ・セルにおいて、前記チャンネル領域が半導体領域の前記一端と隣接していることを特徴とするMOSメモリ・セル。

(7) 特許請求の範囲第5項記載のMOSメモリ・セルにおいて、薄い第1の酸化物膜上に重なる第1の導電層がトランジスタのゲートとなり、薄い第2の酸化物膜上に重なる第2の導電層が寄積コンデンサの上側プレートとなることを特徴とするMOSメモリ・セル。

(8) 特許請求の範囲第7項記載のMOSメモリ・セルにおいて、前記第1および第2の導電層が多結晶シリコンであり、一方の一部が他方の上に重なることを特徴とするMOSメモリ・セル。

(9) 特許請求の範囲第8項記載のMOSメモリ・セルにおいて、前記半導体領域がチャンネル領域の方向に前記第2の導電層を越えて延在していることを特徴とするMOSメモリ・セル。

(10) 特許請求の範囲第5項記載のMOSメモリ・セルにおいて、前記トランジスタのチャンネルを介して寄積コンデンサに論理電圧を供給する手段およびその論理電圧の最大値よりも実質的に低い値を有するバイアス電圧を前記コンデンサに供給する手段を更に含むことを特徴とするMOSメモリ・セル。

(11) 特許請求の範囲第7項記載のMOSメモリ・セルにおいて、前記薄い第2の酸化膜が前記薄い第1の酸化膜よりも実質的に薄いことを特徴とするMOSメモリ・セル。

(12) MOSメモリ・セルの製造方法において、

a) コンデンサ領域を露出させるために半導体ウエーへの表面をマスクする工程と、

b) 前記コンデンサ領域をマスクしたことにとつて露出された半導体ウエーへの表面の一部と

して導電率を決める不純物物質を反対型の前記コンデンサ領域へイオン打ち込みする工程と、

c) 多結晶シリコン層をコンデンサ誘電体によつてそこから絶縁されているコンデンサ領域上に形成する工程と、

d) MOSトランジスタを得るために多結晶シリコン層をゲート絶縁物によつてそこから絶縁されているトランジスタチャンネル領域に形成する工程

を有することを特徴とするMOSメモリ・セルの製造方法。

(13) 特許請求の範囲第12項記載のMOSメモリ・セルの製造方法において、前記コンデンサ誘電体および前記ゲート絶縁体が熱酸化工程によつて同時に形成されることを特徴とするMOSメモリ・セルの製造方法。

(14) 特許請求の範囲第12項記載のMOSメモリ・セルの製造方法において、前記コンデンサ誘電体およびゲート絶縁体が熱酸化工程によつて異なる時間で、かつ異なる厚さに形成されることを

特徴とするMOSメモリ・セルの製造方法。

14 特許請求の範囲第12項記載のMOSメモリ・セルの製造方法において、半導体ウェーハがアソシエーションによって支配され、打ち込まれた不純物物質がリソーンであることを特徴とするMOSメモリ・セル。

15 特許請求の範囲第12項記載のMOSメモリ・セルの製造方法において、前記不純物物質が打ち込まれたコンデンサ領域はトランジスタ・チャネルの方向に前記コンデンサ誘電体を越えて延在していることを特徴とするMOSメモリ・セルの製造方法。

16 特許請求の範囲第12項記載のMOSメモリ・セルの製造方法において、メモリ・セルに蓄積された電圧よりも低い値にある電圧が前記コンデンサ上の多結晶シリコン層に印加されることを特徴とするMOSメモリの製造方法。

3 発明の詳細な説明

本発明は半導体メモリ装置およびその製造方法に関するもので、特にMOSチャネル・シリコン・ゲート MOS RAMセルに関するものである。

が大きくなるにつれ、歩留りが低減するため、一边が約4500μm以上の寸法では歩留りの減少で評価が行なわれる。従つて、RAMにおいては、各ピットまたはセルによつて占有される面積を減少させることが望ましい。

2重の多結晶シリコン層を用いたMOS 1トランジスタ・メモリにおける一つの型は、1976年1月12日に同じく出版された本発明者によるテキサスインストルメンツ社の米国特許出願第648,594号に示されている。本発明は本発明者による前記出願のセルを改良するものである。

MOS 10における1トランジスタ・セルは、1967年11月7日に公告されたテキサス・インストルメンツ社の米国特許第3,550,760号に示された酸化シリコン誘電体を有する型の蓄積コンデンサを用いる。これらはいわゆるゲート溝すなわち電圧依存型のものであつてもよく、1975年12月29日に同じく出願されたジエラルド・D・ロージヤーズによるテキサス・インストルメンツ社の米国特許出願第645,171号に示されている。

1トランジスタ型の半導体メモリセルは、1975年9月50日に公告されたガ・キタガワによるテキサス・インストルメンツ社の米国特許第3,909,631号および1975年9月15日発行のElectronics第116頁に示されている。チャネル・シリコン・ゲート・MOS RAMに用いられる。この型で最も多く製造されている半導体メモリ装置は4096ビットすなわち 2^{12} ビットを含み、産業界では4K RAMと呼ばれている。半導体装置の製造コストは、実際の回路に含まれる小さなシリコン・チップのコストよりもむしろポンディング、パッケージング、試験、ハンドリング等の費用が主たるものである。従つて、与えられたチップ・サイズ、例えば750,000 μm²内に収容することができる回路はどのようなものであつても全てほぼ同一のコストになる。チップにおいて、16Kすなわち16,384 (2^{14}) メモリ・セルすなわちピットの形成によつて、適正な歩留りが得られるならば、1ピット当たりのコストは大幅に低減させることができる。チップの寸法

シップ社の米国特許出願第645,171号に示されているイオン打ち込み領域を有するものであつてもよい。

1トランジスタを用いたダイナミックRAMにおいて、蓄積コンデンサの信頼性が最も重要なものであり、これは蓄積コンデンサがチップにおける薄い酸化物領域全体に対して大きな部分を占めることによる。一般に半導体装置の信頼性と歩留りは共にその酸化物が占めるチップの面積の増加と共に減少する。コンデンサ誘電体領域は、広くてしかも常時高い電位差が存在するため、トランジスタのゲート領域よりもきびしい状態にある。MOSチャネルMOSダイナミックRAMの寿命試験データの示すところによれば、信頼性に関連する故障の80~90%は蓄積コンデンサにおける酸化物の欠陥によるものである。もし蓄積コンデンサ誘電体における電界強度を減少させることができれば、信頼性を増加させることができる。蓄積コンデンサにおける薄いシリコン酸化物誘電体の信頼性は酸化物の電界強度に大きく依存する。逆

に電界強度を減少させれば、酸化物を薄くすることが可能となり、これによつて単位面積当たりの容量を増加させることが可能となり、薄い酸化物領域の全体を減少させることができる。

本発明の主たる目的は高い信頼性と、より小型にして歩留りの高い改良されたランダム・アクセス・メモリ・セルを提供することにある。本発明の他の目的はメモリ・シリコン・ゲート RAM 装置の改良された製造方法を提供することにある。

本発明の一実施例によれば、二つのレベルの多結晶シリコン層を用いたメモリ・セルにおいて改良された蓄積コンデンサが提供される。第1レベルの多結晶シリコン層は列状のセルにおいて蓄積コンデンサの上側プレートとなり、このプレートの下はイオン打ち込み領域であり、この領域を反転させるために必要な電圧を低くする働きをする。第1レベルの多結晶シリコン層はバイアス電源に接続され、バイアス電源は従来用いられたものよりも低い値にあるため、コンデンサ漏電体における電

界強度を低くしている。第2のレベルの多結晶シリコン層によつて、MOSトランジスタのゲートと、ゲートからエアドレッサ部であり、上に重なる金属ストリップへの接続が得られる。金属ストリップと第2レベルの多結晶シリコン層との間の接続領域は第1レベルの多結晶シリコン層の一部と重なることができる。イオン打ち込み領域は、低インピーダンス路を確保するため、MOSトランジスタ方向に第1レベルの多結晶シリコン層の端部を越えて延びている。本実施例において、コンデンサ漏電体を形成するシリコン酸化物は、トランジスタのゲート漏電体を形成するシリコン酸化物よりも薄くすることができるので、容量が増加される。

他の実施例において、単一レベルの多結晶シリコン層はトランジスタ・ゲートとコンデンサ両者の頂部プレートを与え、ここではイオン打ち込み領域がコンデンサ漏電体における電界強度を低下させる働きをし、これによつて信頼性が高められる。

本発明の明確な特性による新規な特徴は特許請求の範囲に記載されているが、本発明そのものは、その他の特徴および効果と同じように、付図を参照して特定の実施例による次の詳細な説明からよく理解される。

第1図を参照すると、本発明によるMOS RAMセルの物理的な配列が示されている。各セルは第2図の電気的概要図にも示されているように、一つのMOSトランジスタと一つの蓄積コンデンサを備えている。センス線12は \pm 拡散領域によつて与えられる。すなわち、これらのセンス線12は一つの列における多数のセルに接続されたエアドレッサ部である。例えば、セルのそれぞれがセンス線12に接続されたMOSアクセス・トランジスタ10とコンデンサ11を有し、一つの列に128個のセルがあつてもよい。この型のセンス増幅器は、ホワイトおよびキタガワによるセキサス・インストメンツ社の1976年6月1日、米国特許出願、第691,734号に示され、各列またはセンス線の中央に位置してもよい。金属ストリップ

はエアドレッサなわち行選択線13であり、行選択線13は一つの行における全てのトランジスタ、例えば16K RAMにおける128個のトランジスタの各ゲートに接続される。第1図の二つのセルによつて占有された面積は約 $2.5 \text{ }\mu\text{m}^2$ 以上すなわち1セル当たり $1.25 \text{ }\mu\text{m}^2$ である。

第1図と共に第5a図～第5d図に詳しく示されるように、各MOSトランジスタ10はソース(またはドレイン)を形成する \pm 拡散領域14を含む。 \pm 拡散領域14は細長い連続的な \pm 拡散領域であるセンス線12の一部である。更にMOSアクセス・トランジスタ10は、後で説明されるように第2レベルの多結晶シリコン層15によつて形成されたゲートを含む。MOSトランジスタのドレイン16はコンデンサ11の下のイオン打ち込み反転領域17の端部により生成される。イオン打ち込み領域17により、この領域を反転するに必要な電圧が従来必要としたものよりも大幅に低いという本発明の第1の特徴が得られる。薄いシリコン酸化物層18はMOSアクセス・トランジ

ンジスター 10 に対するゲート絶縁体として働き、分離された薄いシリコン酸化物層 18 はコンデンサ 11 の誘電体となる。本発明の特徴の一つによれば、シリコン酸化物層 18 および 19 は厚さを異にすることができる。コンデンサ 11 の上部プレートは、本発明の一特徴によれば、電圧が約 $\frac{1}{2}$ Vdd とすることができる電源電圧 Vc に接続された延長ストリップである第 1 のレベルの多結晶シリコン層 20 によって与えられる。イオン打ち込み領域 17 が第 1 の多結晶シリコン層 20 の縁を越えて延在し、ドレイン 16 における高い抵抗のギャップを防ぐということが重要である。このことは製造方法の説明で明らかにされる。シリコン酸化物層 21 は第 1 レベルの多結晶シリコン層 20 および第 2 の多結晶シリコン層 15 を分離させ、厚い層 22 は多結晶シリコンの両層と共にチップ全体を覆う。第 5 ロ図に示すように行選択線 13 を形成する金属ストリップは、シリコン酸化物層 22 を通じ、コンタクト領域 23 で第 2 の多結晶シリコン層 15 と接触するように下に広がる。

ここで第 1 図のセルの一製造方法を第 4 ロ図～第 4 ハ図を参照して説明しよう。出発物質は単結晶の半導体シリコン・スライスであり、直径約 76.2 mm、厚さ約 1.250 mm である。ただし、第 4 ロ図ではシリコン・スライスの非常に小さな基板 30 のみが示されており、この基板 30 の寸法は非常に誇張されている。第 4 ハ図～第 4 ロ図に示されている基板 30 の小さな領域は、1 個のセル（すなわち第 1 図において隣接した 2 個のセル）を含み、この領域は 2.5 mm 以下の幅を有する。センス増幅器を含む 16 K セルすなわち 16,584 セル、デコード回路、入出力バッファ・ポンデンディング・パッド等によつて占有される面積は $750,000 \mu\text{m}^2$ 以下が好ましい。この場合、セル当りの面積は $2.5 \mu\text{m}^2$ 以下であるべきで、約 $1.25 \mu\text{m}^2$ が好適である。実際の寸法では、第 4 ロ図～第 4 ハ図における種々の層および領域は幅に比較して非常に薄いものといえる。

シリコン・スライスは、厚さ約 1.000 μ の薄いシリコン酸化物層 31 を生成するのに十分な時

間、約 100 °C の酸化雰囲気の炉に置かれて最初の酸化が行なわれる。次に、シリコン・スライスを ECR プラズマ放電によつてシランとアンモニヤの雰囲気へさらし、酸化物の上に塗化シリコン (Si_3N_4) 層 32 を形成する。塗化シリコン層 32 も約 1.000 μ の厚さとなる。フォトレジスト膜 33 は塗化シリコン層 32 の上に形成される。ただしフォトロジストは XMER すなわち Kodak Metal Etch Resist が代表的なものである。フォトロジスト膜 33 はマスクを通して紫外線に露光されるがこのマスクは、以下で述べるが、"凹部" (grooves) すなわちフィールド酸化物領域の所要パターンを定めるように準備される。フォトロジスト膜 33 は第 4 ロ図に示すような部分でフォトロジスト領域 34 を残して剥離される。シリコン・スライスは、例えばプラズマ・エッティング技術のような選択的なエッティング液に接触させるが、このエッティング液は塗化シリコンを取り除くが、フォトロジスト領域 34 またはシリコン酸化物層 31 には作用しない。次にこのスライスに対して

イオン打ち込みステップを実施する。このステップではホウ素原子が約 1×10^{12} 原子/ μm^2 の打ち込み率で、約 100 KeV のビームによつて打ち込まれ、フォトレジスト領域 34 の島および塗化シリコン層 32 によつてマスクされていない領域に薄い P⁺領域 35 を形成する。更にシリコン・スライスは 900 °C の蒸気にて数時間の長い酸化工程に置かれ、これによつて第 4 ロ図に示すように厚いフィールド酸化物領域 36 が形成される。塗化シリコン層 32 はその位置で酸化工程をプロットするが、露出された領域でのシリコン面は低下し、深さが約 50.00 μ になり、フィールド酸化物領域 36 は成長して約 100.00 μ になる。もとの P⁺領域 35 は低下するが、ホウ素が酸化処理の前に拡散されて全てのフィールド酸化物領域 36 の下に P⁺領域 37 が形成される。この P⁺領域 37 はチャネル・ストップとして働き、寄生トランジスタが形成されるのを防ぐ。次に塗化シリコン層 32 は高濃度のリン酸によるエフチングによつて取り除かれ、シリコン酸化物層 31 はフッ化水素のエフ

チングによつて取り除かれる。薄い誘電体のシリコン酸化物層19はマスクをしてシリコン・スライスの露出面上に約500Åの厚さへ熱的に成長する。第4回を参照すると、シリコン・スライスはフォトレジスト膜38で覆われ、フォトトレジスト膜38はイオン打ち込み領域17となるべき領域の上の領域39を阻止するマスクを介して紫外線に露光される。次に、マスクとしてフォトレジストを用いて約150keV、 $1 \times 10^{12}/\text{cm}^2$ の打ち込み率でリンが打ち込まれ、空気負荷トランジスタとして用いられるのと同じ形式のイオン打ち込み領域17が形成される。次に露光されたフォトレジストは取り除かれ、炉におけるシランの分解工程を利用して、約0.5Åの厚さに多結晶シリコン層が全スライス上に被覆される。この多結晶シリコン層は、リン拡散によつてその抵抗値が下がられ、次いで第4回に示すように、フォトレジスト・マスクを用いてパターン化され、第1レベルの多結晶シリコン層20を定めるようエッチングされる。この工程で用いられるマス

クは、第1回の第1の多結晶シリコン層のVc線を定めるように形成される。第5回の積セルにおけるMOSトランジスタのドレイン16を定めるのは、イオン打ち込み領域17の左端であつて、多結晶シリコンの左端ではない。イオン打ち込み領域17のドレイン16は第1レベルの多結晶シリコン層20の左端を越えて延在していることが重要である。次に第4回を参照すると、ゲートのシリコン酸化物層18は、シリコン酸化物層19の露出された部分に境界を定めるか、または別の熱酸化物を形成するかして形成され、厚さが約1000Åであるゲート酸化物を得るが、容量誘電体のシリコン酸化物層19と比較して厚さが約2倍である。別の熱酸化物の成長中に、酸化物被覆21が第1レベルの多結晶シリコン層20の露出した頂部表面上に形成される。この熱酸化物はパターン化される必要がないため、マスク・アライメントの問題を生じない。

次のステップは、第2レベルの多結晶シリコン層15の被覆である。このため、スライス全体が

約10000Åの多結晶シリコンで被覆される。そして再びフォトレジストで覆われ、第2の多結晶シリコン層のパターンすなわちMOSトランジスタのゲートおよびコンタクト22に対する接続を決めるマスクを通して露光される。次いで不要な第2の多結晶シリコン層15は、シリコンを侵すがシリコン酸化物は侵さないエッチング液に対するマスクとしての現像されたフォトレジストを用いてエッチングされる。次にシリコン・スライスは、シリコン表面の露出領域上のゲート・シリコン酸化物層18の残りを取り除くため、短かいエッチング工程に置かれる。この露出領域は拡散されたMOS領域が形成されるべきところである。

次にシリコン・スライスは通常の技術を用いたリン拡散工程に置かれ、これによつてB⁺領域12および14が形成される。また露出された第2の多結晶シリコン層15はこの拡散工程によつて高濃度にドープされる。この拡散の深さは約8000Åである。ゲート・シリコン酸化物層18はMOSトランジスタのチャネル端を定める。B⁺拡散処理

の後、シリコンスライス全域は、低い温度の被覆工程によつて厚いシリコン酸化物層22で覆われ、従つてセンス線領域12、B⁺拡散領域14およびP⁺領域23の各領域に対する不純物の拡散はこれ以上行なわれない。厚いシリコン酸化物層22はフォトレジストを用いてパターン化され、コンタクト領域23に対する開口を作り、次いでアルミニニウムの薄い層がスライス全域上に被覆され、金属ストリップの行選択線の金属ストリップ13を残すようにフォトレジストを用いてパターン化される。基本的な製造はこれによつて終了するが、製造上の通常的な手段に従い、シリコン・スライスが保護層で覆われ、スクライプされ、個々のチップに分割されることになるのはいうまでもない。コンタクト領域23がVc線すなわち第1の多結晶シリコン層20の上に横たわるということによつて、セル面積は単一レベルの多結晶シリコン層セルで可能とするものよりも小さい。またコンデンサ領域をコンタクト領域23の下にすることができるため、セルの寸法も小さくすることができます。

る。更に、開示したセルの配列によつて、いくつかの層に対するマスクの位置決めは厳密性を必要としなくなる。第1レベルの多結晶シリコン層20を定めるマスクがいずれかの方向にコンデンサ1.1を定める凹部の縁を外れたとしても問題となることはない。第2レベルの多結晶シリコン層を定めるマスクは \pm 拡散領域14の第1レベル層に破損を生ずることなく、置ねることができる。コンタクト領域23の開口についての位置決めは、金属ストリップの行選線金属ストリップ13を決めるマスクのように厳密性を必要としない。

第5図を参照すると、本発明の一実施例はRAMセルにおいて单一の多結晶シリコン層を用いた本発明の一実例が示されている。セルはMOSトランジスタ40、蓄積コンデンサ41、データ線すなわちピット線42およびアドレス線すなわちワード線43を備え、これらは全て第7図の電気回路図にも示されている。MOSトランジスタ40はピット線42を形成する \pm 拡散領域の一部であるリース44および多結晶シリコンの一領域である

ゲート45を有する。ドレイン領域48はゲート45と蓄積コンデンサ41との間の \pm 領域によつて与えられる。本発明によれば、イオン打ち込み領域47は第6・図の断面図に詳しく示されているようにコンデンサの下部プレートとなる。シリコン酸化物層48はMOSトランジスタ40のゲート絶縁体となり、またシリコン酸化物層48と同時に形成された同一厚さのシリコン酸化物層49はコンデンサの誘電体となる。多結晶シリコンの延長ストリップ50は蓄積コンデンサ41の上部プレートを形成し、電源電圧 V_{dd} に接続されている。先に述べたように、電源電圧 V_{dd} は約 $\frac{1}{2}V_{dd}$ すなわち10~20Vの V_{dd} に比較して約5~6Vでよい。第6・図に示すように、ゲート45を形成する多結晶シリコン層は、フィールド酸化物51を越えて領域52まで延在し、この領域52において、その多結晶シリコン層上の酸化膜53の開口は、ワード線43となるアルミニウム・ストリップのためのコンタクト54を与える。第5図から第7図の共通の製造工程は、第一

レベルの多結晶シリコン層を採用している点を除けば、第1図から第4図のものと同一である。イオン打ち込み領域47を形成するイオン打ち込みステップは前に述べたようなフォト・レジスト・マスクを用いる。すなわち、イオン打ち込みは、フィールド酸化物領域51を成長させた後、かつゲート45および V_{dd} 線50を形成する多結晶シリコン層を被覆する前に実行される。

従来のMOSトランジスタ・セルにおいて、 V_{dd} 線50に対応した電極は、電圧 V_{dd} 以下で、電圧 V_t までの論理レベル「1」の蓄積電圧を印加し得るシリコン表面の反転層を形成するため、電圧 V_{dd} (通常12V)へ接続しなければならない。本発明のセルにおいて、蓄積コンデンサはデイプレシヨン・モード特性、例えばMOSチャネル・プロセスにおいてリンの特性を示すように、適当なドーパントで打ち込まれる。かくして、電圧 V_{dd} よりも低い電圧が蓄積コンデンサの多結晶シリコン電極に印加され、同一の論理レベル「1」の蓄積電圧を受け入れる。MOS積コンデンサに必要とさ

れるピンチ・オフ電圧すなわち打ち込み量は、任意に選択された電圧 V_E においてチャネルが任意の蓄積電圧 V_A でピンチオフとならないよう十分なレベルになければならない。電圧 V_E はコンデンサである多結晶シリコン層の V_A 線50または第1の多結晶シリコン層20における電圧である。

蓄積コンデンサの薄い酸化物における電界強度の減少を電圧を例示して説明することができる。いま、 $V_{dd} = +12V$ 、 $V_c = +5$ 、蓄積される論理「1」すなわち $V(1)$ の電圧が+10V、そして蓄積される論理「0」すなわち $V(0)$ の電圧が0Vとすると、この場合、従来のセルでの蓄積コンデンサ酸化物における最大電圧は、論理「0」が蓄積されたときは12Vである。本発明のセルにおける最大電圧は、論理「1」または論理「0」のいずれが蓄積されたとしても、5Vに過ぎず、第8・図および第8・II図に示すように、電圧すなわち電界強度で5~8倍の低減が得られる。ただし V_A は、蓄積されたデータが論理「1」のとき、

蓄積コンデンサ酸化物両端における電圧、また ΔV_0 は蓄積されたデータが論理“0”的ときの電圧である。

セルの寸法を小さくすることが最も重要なときは、本発明のセルによつて電界強度の低減が得られ、セル面積を低減することが可能である。これは同一の電界強度を保持しながら、酸化物の厚さを5.8%（前記の実施例に対して）も低減することができるためである。このことは、単位面積当たりの蓄積容量が5.8%多いかまたは蓄積コンデンサ領域が同一の蓄積容量および電界強度に対して5.8%小さくなるかを意味する。一例として、単位セル面積を $1.8, 1.25 \mu\text{m}^2$ から $1.5, 1.25 \mu\text{m}^2$ へ低減しすることが可能となる。

前記の実施例において、電圧 V_x は便宜上電圧 V_{cc} に等しいとした。しかし、デバイション・マトリクルドが最大電荷蓄積能力を実現するために、イオン打ち込みによつて適当に調整される限り、電圧 V_x は電圧 V_{cc} すなわち電圧0Vから電圧 V_{dd} までの任意のレベルに設定することができる。

を参照することによつて明らかとなるであろう。従つて特許請求の範囲は本発明の真の範囲に含まれるこのような全ての変更または実施例を包括するものである。

4 図面の簡単な説明

第1図は本発明に從つて製造された二つのRAMセルを示す半導体チップの非常に狭い領域を大きく拡大した平面図、第2図は第1図に示すセルの電気的断面図、第3a図、第3b図、第3c図および第3d図は第1図においてそれぞれ線a-a、b-b、c-cおよびd-dに沿つて切断された第1図の半導体装置の断面図、第4a図から第4g図は第1図のセルの線e-eに沿つて切断された製造における種々の段階における断面図、第5図は本発明の他の実施例によるメモリ・セルを示す半導体チップの非常に小さな部分を大きく拡大した平面図、第6a図および第6b図は第5図においてそれぞれ線f-fおよびg-gに沿つて切断された第5図のセル部分における平面図、第7図は第5図のメモリ・セルの電気的断面図、第8a

通常のダイナミックRAMの適用において、電源電圧 V_{cc} は低電力スタンダードバイ・モード動作中オフにされることが望ましい。この要件を満たすため、電圧 V_x は、第9図に示すように、メモリ・アレイとして用いられる同一チップ内のMOS回路で電圧 V_{dd} から発生させることができる。この回路は、メタル・マスク切換器によつていくつかの電圧 V_x に対してプログラムすることができます。電圧 V_{dd} 、 V_{cc} 、 V_{ss} および V_{dd} から発生された電圧 V_x を含むいくつかの可能な電圧から一つを選択することができる。電圧 V_{dd} から発生された電圧 V_x は、電源部で偶発的に発生するかも知れない高いトランジエント電圧をコンデンサ誘電体から絶縁させる点でも有利である。また電圧スパイクはコンデンサ誘電体を破壊して記憶装置を破壊することになろう。

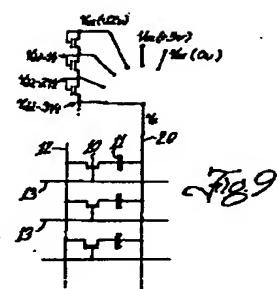
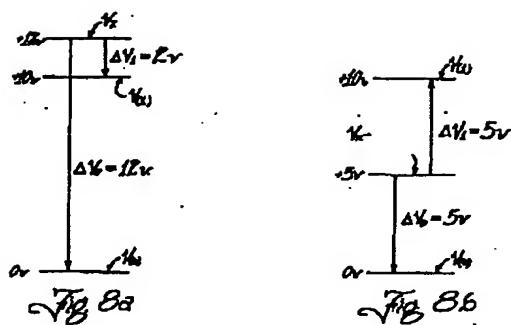
本発明は特定の実施例を参照して説明されたが、この説明は限定的な意味で解釈されるべきでない。当業者においては、本発明の他の実施例と同じく、開示された実施例の種々の変更は、本発明の説明

図および第8b図は本発明のメモリ・セルでなく、従来のメモリ・セルにおける各種動作条件に対する電圧のグラフ図、第9図は本発明のセルにおけるオン・チップ電源の電気回路図である。

10-MOSアクセス・トランジスタ、11-コンデンサ、12-センス線、13-行選択線、14- P^+ 拡散領域、15、20-多結晶シリコン層、16-ドレイン、17-打ち込み領域、18、19、21、22、31、48、49-シリコン酸化物層、23-コンタクト領域、30-基板、32-塗化シリコン層、33、38-フォトレジスト膜、34-フォトレジスト領域、35、37- P^+ 領域、36、51-フィールド酸化物領域、39、52-領域、40-MOSトランジスタ、41-蓄積コンデンサ、42-ピント線、43-ワード線、44-ソース、45-ゲート、46-ドレイン領域、47-イオン打ち込み領域、50-ストリップ（VD線）、53-酸化膜、54-コンタクト。

手続補正書(方式)

昭和52年12月20日



特許庁長官殿

1. 事件の表示

昭和52年特許第109753号

2. 発明の名称

NチャネルMOSシリコンゲートRAMセル

3. 補正をする者

出作との因縁 特許出願人

住 所

(名前) テキサス インスツルメンツ インコーポレイテッド

4. 代理人

姓 名 田中一郎
住 所 東京都千代田区大手町二丁目2番1号
電 話 (211) 3651 (内線)
(6669) 浅村皓

5. 補正命令の日付

昭和52年11月29日

6. 補正により増加する発明の数

7. 補正の対象

特許の内容を記載せよ。



8. 補正の内容 別紙のとおり

特許法第17条の2の規定による補正の掲載

昭和 52 年特許願第 109753 号(特開昭 53- 59384 号 昭和 53 年 5 月 29 日 発行 公開特許公報 53- 594 号掲載)については特許法第17条の2の規定による補正があるので下記のとおり掲載する。 7(2)

Int. C.I.*.	識別記号	府内整理番号
H01L 27/10	6655-5F	
C11C 11/34	7230-5B	
H01L 29/78	7377-5F	

手 続 補 正 書

昭和 59 年 9 月 1 日

特許庁長官殿

1. 事件の表示

昭和 52 年特許願第 109753

2. 発明の名称

メモリセル

3. 補正をする者

事件との関係 特許出願人

住所

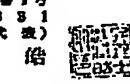
氏名 ナキサス インスクリメンツ
(名前) インコーポレイテッド

4. 代理人

監修 平100 東京都千代田区大手町二丁目2番1号
新大手町ビルディング 331

電話 (211) 3651 (代表)

氏名 (6669) 清村 哲



5. 補正命令の日付

昭和 年 月 日

6. 補正により追加する発明の数 2

7. 補正の対象

明細書の発明の名称の欄

特許請求の範囲の欄

発明の詳細な説明の欄

特許庁
59. 9. 12
直頭第二机
本件

8. 補正の内容 別紙のとおり

9. 添付書類の目録 同時に出願審査請求書を提出しております。

1. 発明の名称を以下の通りに変更する。
『メモリセル』
2. 特許請求の範囲の欄を別紙の通り訂正する。
3. 発明の詳細な説明の欄に以下の変更を加える。
 - (1) 第7頁第17行と第18行の間に次の見出しを入れる。
『(1)産業上の利用分野』
 - (2) 第7頁第20行と第8頁第1行との間に次の見出しを入れる。
『(2)従来の技術』
 - (3) 第10頁第3行と第4行との間に以下を加入する。
『 従来の1トランジスタ・セルにおいて、
V_A 電位に対応した電極は、シリコン表面が
電圧 V_{dd} 以下で、電圧 V_t までの論理レベル "1" の蓄積電圧を印加し得る反転層を
形成するため、電圧 V_{dd} (通常 12 V) へ
接続しなければならない。』
 - (4) 第10頁第16行 「……欠陥によるもので

ある。」の後、次の文を挿入する。

『したがつて、従来技術によるダイナミック RAMにおいては、蓄積コンデンサに大きな電界強度がかかるため、誘電体に欠陥、例えばピンホールなどがあると、蓄積コンデンサに所望の動作が期待できず、その信頼性が低いという問題点があつた。』

(5) 第11頁第5~9行を以下の通り変更する。

『 しかしながら、従来技術によるダイナミック RAMでは、蓄積コンデンサの誘電体に高電位差が印加されるので、誘電体の厚さを減少させることができないという問題点もあつた。』

④問題点を解決するための手段及びその作用

上記問題点に鑑み、本願発明によれば、第1導電形の半導体基板に形成されたチャレンネル領域と隣チャレンネル領域に第1絶縁層を介して対向するゲートと前記チャレンネル領域の一端に隣接する前記半導体基板に

形成された第2導電形領域とを有するアクセストランジスタと、前記チャンネル領域の他端に隣接する前記半導体基板に形成された下部電極と該下部電極に第2絶縁層を介して対向する上部電極とを有し論理「1」を表わす電位と論理「0」を表わす電位とを記憶する蓄積キャパシタと、前記上部電極に所定の電圧を印加する手段とを備えた。メモリセルにおいて、前記下部電極を構成する半導体基板に第2導電形の不純物をドープして、前記上部電極下の閾値をアクセストランジスタの閾値より小さくしたことを特徴とするメモリセルを提供する。

【実施例】

(6) 第29頁第4行と第5行との間に以下を挿入する。

【発明の効果

以上説明してきたように、本願発明によれば、蓄積キャパシタの下部電極を構成する半導体基板に第2導電形の不純物をドー

ブして、蓄積キャパシタの上部電極下の閾値をアクセストランジスタの閾値より小さくしたので、蓄積キャパシタの絶縁層に加わる電界強度を減少させることができ、蓄積キャパシタの信頼性を向上させられるとともに、セルの寸法を小さくすることもできるという効果を得られる。】

【2.特許請求の範囲

(1) 第1導電形の半導体基板に形成されたチャンネル領域と該チャンネル領域に第1絶縁層を介して対向するゲートと前記チャンネル領域の一端に隣接する前記半導体基板に形成された第2導電形領域とを有するアクセストランジスタと、前記チャンネル領域の他端に隣接する前記半導体基板に形成された下部電極と該下部電極に第2絶縁層を介して対向する上部電極とを有し論理「1」を表わす電位と論理「0」を表わす電位とを記憶する蓄積キャパシタと、前記上部電極に所定の電圧を印加する手段とを備えたメモリセルにおいて、前記下部電極を構成する半導体基板に第2導電形の不純物をドープして、前記上部電極下の閾値をアクセストランジスタの閾値より小さくしたことを特徴とするメモリセル。

(2) 前記上部電極に印加される電圧が接地電位以上、論理「1」を表わす電位未満であることを特徴とする特許請求の範囲第1項記載のメモ

リセル。

(3) 前記第2絶縁層は前記第1絶縁層より高いことを特徴とする特許請求の範囲第1項または第2項記載のメモリセル。】